

ОСОБЕННОСТИ АРХИТЕКТУРЫ ГИПЕРФЛЕКС

С. Ф. Тюрин

*Пермский национальный исследовательский политехнический университет
Пермский государственный национальный исследовательский университет*

Поступила в редакцию 10.02.2018 г.

Аннотация. В последние годы активно развивается направление адаптивных логических модулей (АЛМ), в которых пользователю доступны различные варианты логических элементов на пять, шесть и даже на семь, восемь переменных. В настоящее время возникло направление в архитектуре FPGA, которое называют «Гиперфлекс» (HyperFlex), представляющее новые возможности для оптимизации проектов, такие как, конвейеризация (Hyper-Pipelining), ретайминг (HyperRetiming) и др. Вызывает интерес анализ сложности реализации логики и особенности построения многоразрядных LUT.

Ключевые слова: Программируемая логическая интегральная схема, архитектура гиперфлекс, разложение Шеннона.

Annotation. In recent years, the direction of adaptive logic modules (ALM) has been actively developing, in which the user can access various logical elements for five, six and even seven, eight variables. Currently, a direction has arisen in the architecture of the FPGA, which is called HyperFlex, which provides new opportunities for project optimization, such as Hyper-Pipelining, HyperReming, etc. Interesting analysis of the complexity of the implementation of logic and features constructing multi-bit LUTs.

Keywords: FPGA, HyperFlex, Shannon decomposition (or Boolean factorization).

ВВЕДЕНИЕ

Программируемые логические интегральные схемы – ПЛИС являются одной из самых востребованных сегментов рынка элементной базы цифровой аппаратуры [1, 2]. Имеются следующие направления ПЛИС [3–5]: FPGA (field-programmable gate array), в которых логические функции реализуются в СДНФ (совершенной дизъюнктивной нормальной форме) в генераторах функций, представляющих собой дерево транзисторов (LUT-Look Up Table) [2], CPLD (complex programmable logic devices) в которых вычисляются системы логических функций в дизъюнктивной нормальной форме (ДНФ) [6, 7]. Кроме того, к ПЛИС относят микросхемы систем на кристалле SoC, а в последние годы и так называемые системы в пакете-SiP (System-in-Package), представляющие собой объёмные сборки разных микросхем.

Добавление одного входа LUT увеличивает объем памяти логического генератора в 2 раза. Долгое время стандартным значением количества входов LUT было 4, теперь используются не просто конфигурируемые логические блоки (КЛБ), а целые фабрики логики, адаптивные логические модули – АЛМ с количеством входов 6, 7 и даже 8 [8]. Это позволяет реализовать более сложные проекты без существенного увеличения задержек при соединении LUT в матрицах связей.

Если 80-е годы XX века ПЛИС содержали сотни и тысячи логических элементов, то новые ПЛИС типа Stratix 10 серий GX 5500, SX 5500 содержат более 5,5 миллиона логических элементов, 1,8 миллиона адаптивных логических модулей-АЛМ, более 7,4 миллиона триггеров, сотни деревьев синхронизации. Количество выводов приближается к 3000 [9].

Реализована «Гипергибкая» архитектура HyperFlex в сочетании с технологией Intel Tri-Gate на 14 нм, которая обеспечивает повышенную производительность и энергоэф-

фективность. Вызывает интерес анализ таких новых архитектур ПЛИС, использующих новые технологии создания транзисторов, например, Tri-Gate-3D транзисторов, 3D микросхем.

ТРАНЗИСТОРЫ TRI-GATE

Первые транзисторы появились в 1947 г., МОП (MOS или MOSFET-Metal-Oxide-Semiconductor Field-Effect-Transistors) транзисторы – в 1960, и эта технология оставалась практически неизменной 50 лет. Прорывным достижением (The Breakthrough Advantage) на рубеже XX и XXI веков стала технология Tri-Gate. В 1991 г. команда под руководством Д. Хисамото из исследовательской лаборатории фирмы Хитачи в одной из статей описала 3-D технологию МОП транзистора, которая ещё называлась технологией с «обволакивающим» затвором ('wraparound' gate), затвором

«в обёртке» – в отличие от плоского, планарного затвора [10]. Саму компанию Хитачи характеризует тот факт, что уже в 1974 она выпустила на рынок электродрель с микропроцессором, хотя первые микропроцессоры фирмы Интел (4004) появились только в 1971 г. В ранних публикациях такие транзисторы назывались ещё транзисторами с ребристой структурой (fin-like structure), действительно, на рис. 1 видны «рёбра» таких объёмных транзисторов [11,12].

Сравнение объёмной и планарной технологий показано на рис. 2.

Подобные «тонкие, прорывные» технологии требуют огромных, многомиллиардных долларовых затрат, на которые способны лишь такие гиганты, как Intel, купившая фирму Altera, выпускавшую программируемые логические интегральные схемы [13]. Поэтому ПЛИС теперь продаются под маркой Intel. Выпускаются инновационные 14 нм ПЛИС с Tri-Gate технологией (FPGAs with Tri-Gate Technology), например, Intel Tri-Gate, Stratix 10 FPGA.

На таких проектных нормах изолирующий слой имеет значения 1,2 нм, или 5 атомов, что приводит к ослаблению изоляции и увеличению так называемых токов утечки (Off State Leakage). Особенностью транзисторов Tri-Gate является то, что столь тонкий изолирующий слой теперь состоит не из «добраго старого» оксида кремния, а из материала на основе гафния, что позволяет резко повысить быстродействие или энергоэффективность – токи утечки снижаются на порядок (со 100 нА на мкм до 15–30 пА на мкм), сни-

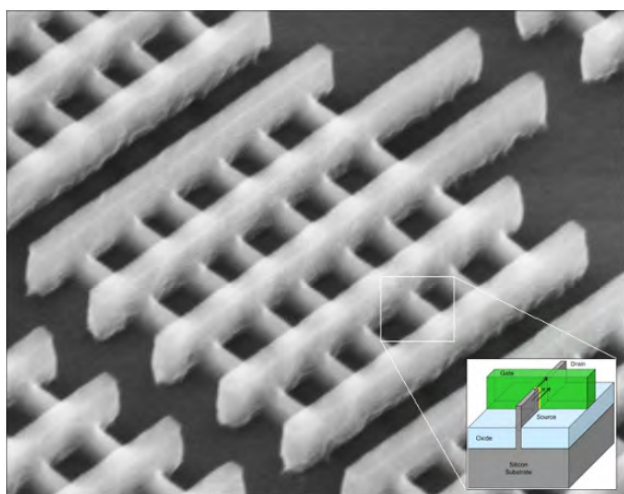


Рис. 1. Транзистор Tri-Gate, 22-нм

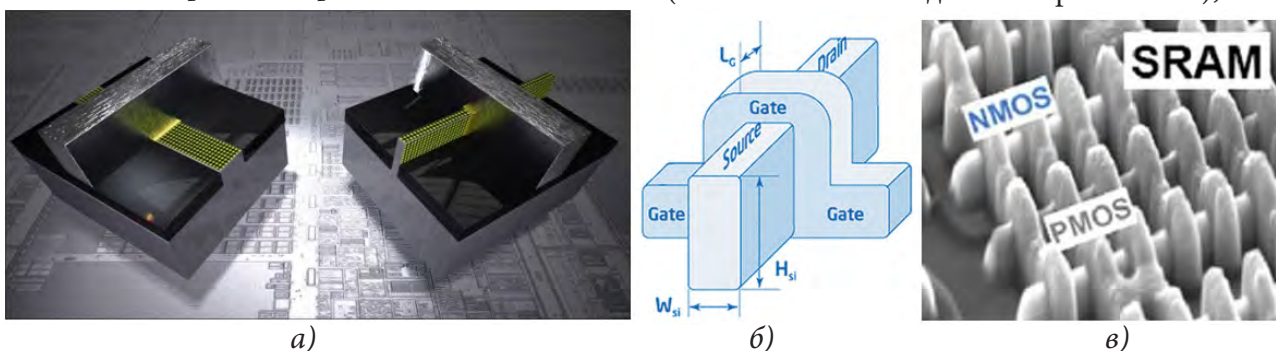


Рис. 2. Tri-Gate транзисторы: а) сравнение транзистора, созданного по планарной технологии (слева) и Tri-Gate транзистора (справа); б) расположение истока, стока и затвора в Tri-Gate транзисторе; в) Tri-Gate SRAM (СОЗУ-статическое оперативное запоминающее устройство)

жается динамическая мощность потребления (Active Power), быстродействие увеличивается порядка на 37 % при напряжении 0,7 В. Кроме того, пришлось менять и материал самого затвора, ибо старый материал оказался несовместим с гафнием (точнее со старым материалом затвора Tri-Gate транзисторы работали даже хуже планарных!) и этот материал фирма Intel держит в строжайшем секрете.

МИКРОСХЕМЫ 3D

Направление ПЛИС в свое время привело к созданию целых систем на кристалле -SoC, но это планарное устройство (если не считать вышеописанных 3D транзисторов). Дальнейшее развитие технологий позволило создать SiP (System-in-Package), что можно перевести, как систему в объёмном пакете [14]. Всё началось с технологий многослойной памяти HBM (High Bandwidth Memory с многослойной компоновкой кристаллов в микросборке) [15]. Интересно, что микросхемы в конце 50-х начале 60-х годов XX века и начинались собственно с микросборок (автор ещё их застал и держал в руках, правда, уже не паял), теперь они выходят в третье измерение. То есть получают своего рода бутерброд, бургер, микросхемы, грубо говоря, ставят друг на друга слоями, штабелями (от нем. Stapel – ровно расположенный ряд чего-либо). Соединения осуществляются специальной системой сквозных соединений EMIB (Embedded Multi-die Interconnect Bridge), практически не влияющей на габариты упаковки [16]. Используются шарики припоя (solder ball). При этом обеспечивают и отведение тепла. Пример SiP изображен на рис. 3.

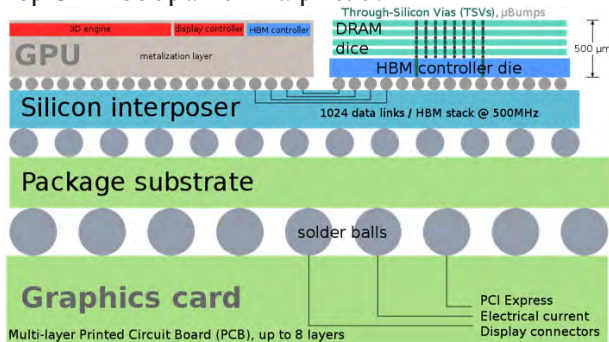


Рис. 3. Графическая карта с High Bandwidth Memory

РЕГИСТРЫ ПОВСЮДУ

Особенностью технологии гиперфлекс является принцип «регистры повсюду» (Registers everywhere), это называется «гипер-регистры» [17]. Регистры – это на самом деле триггеры в АЛМ (в секции фабрики логики – FPGA fabric) и в матрицах межсоединений и на входах АЛМ – рис. 4.

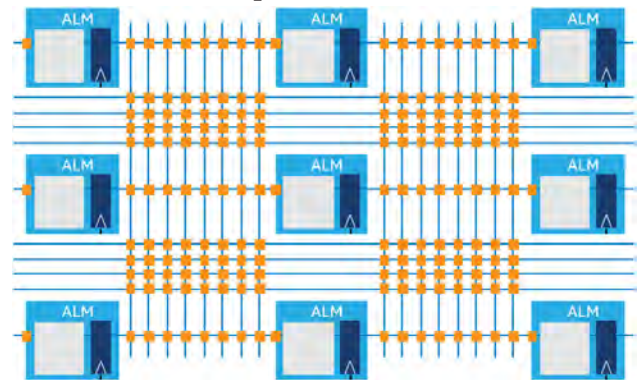


Рис. 4. Триггеры на всех пересечениях каждого сегмента горизонтальной и вертикальной шин маршрутизации

Ранее регистры размещались только в АЛМ, на рис. 4 они обозначены с вводом синхроимпульса (^) – что означает прямой динамический вход синхронизации. Гипер-регистры имеются также во встроенной памяти, в цифровых блоках обработки сигналов (DSP), в блоках ввода-вывода. Эти регистры-триггеры могут не использоваться они «отключаемые» или «обходные» (bypassable) [17] – рис. 5.

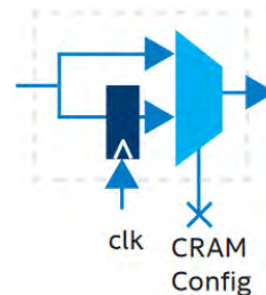


Рис. 5. Подключение триггеров к точке коммутации. CRAM – конфигурационная оперативная память

Наличие Hyper-Registers во всем межсоединении означает, что настройка на заданное быстродействие не требует дополнительных ресурсов АЛМ (в отличие от обычных архитектур) и изменения логики. Кроме того,

наличие Hyper-Registers, встроенных в межсоединения, помогает упростить маршрутизацию. Гипер-регистры используются при организации вычислительного конвейера. Конвейеризация (Hyper-Pipelining) с использованием гипер-регистров (Hyper-Registers) позволяет достичь быстродействия более 500 МераГерц.

ГИПЕР ОПТИМИЗАЦИЯ. РАЗЛОЖЕНИЕ ШЕННОНА

Рис. 6, 7 показывают пример гипер-оптимизации. Для увеличения максимальной частоты «укорачиваются» петля обратной связи за счет разложения Шеннона (Булевой факторизации) [17]. На рис. 6 показана «длинная» обратная связь, реализующая некоторую функцию переходов

$$y(t+1) = d(t) = ABCy_1. \quad (1)$$

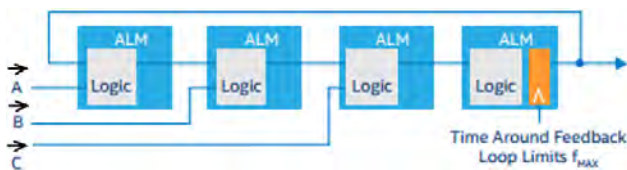


Рис. 6. «Длинная» обратная связь

Эта обратная связь «длинная», потому что проходит через матрицу локальных связей, где возможны значительные задержки сигналов. Одна переменная A, B или C для АЛМ, реализующего функции б и даже в ряде случаев 7 и 8 переменных, не показательный случай, поэтому пусть это будут некие вектора:

$$y(t+1) = d(t) = \overline{ABC}y_1, \quad (2)$$

например

$$A = a_1a_2a_3; B = b_1b_2b_3; C = c_1c_2c_3. \quad (3)$$

Допустим имеем такую функцию переходов:

$$y_1(t+1) = d(t) = [a_1a_2a_3y_1(t) \vee \overline{a_1}\overline{a_2}\overline{a_3}y_1(t)] \vee b_1b_2b_3 \vee c_1c_2c_3. \quad (4)$$

Выполняем разложение Шеннона (Shannon decomposition or Boolean factorization), получаем:

$$y_1 = 0 : a_1a_2a_3 \vee b_1b_2b_3 \vee c_1c_2c_3. \quad (5)$$

$$y_1 = 1 : \overline{a_1}\overline{a_2}\overline{a_3} \vee b_1b_2b_3 \vee c_1c_2c_3. \quad (6)$$

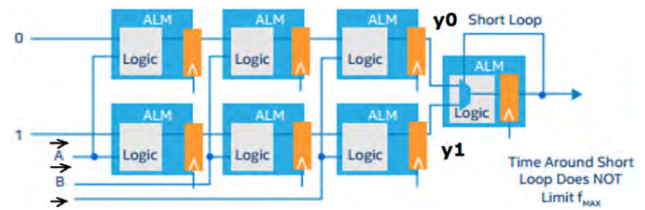


Рис. 7. «Короткая» обратная связь после разложения Шеннона

Такой подход увеличивает аппаратные затраты, но они несущественны для ПЛИС, имеющей миллионы таких логических элементов, здесь главное – скорость. Поэтому и называется гипер-оптимизация. Анализ возможностей такой оптимизации осуществляет гипер-ретайминг (Hyper-Retiming). Дальнейшее продвижение этого направления может привести к тому, что такое разложение будет выполнено по всем триггерам.

УЛУЧШЕННАЯ СИНХРОНИЗАЦИЯ ЯДРА (ENHANCED CORE CLOCKING)

Синхронизация в ПЛИС наталкивается на значительные трудности передачи тактового сигнала от АЛМ к АЛМ, когда они расположены в разных блоках LAB (logic array block). Соединить блоки в структуру полного графа («каждый с каждым») невозможно. Архитектуры современных ПЛИС отличаются принципами соединения блоков, выделяют блоки, достижимые за один, два, три «шага» (hop, jump, leap). Короткие связи, конечно, наиболее эффективны. При распространении тактового сигнала по длинным связям возникают нежелательные явления – фазовые и, или частотные отклонения – джиттер (англ. jitter – дрожание). Для устранения этого явления используют модули цифровой автоподстройки тактового сигнала (DLL – Delay Locked Loop), блоки DCM (Digital Clock Manager) с функциями умножения и деления частоты, сдвига фазы, а также блоки фазовой подстройки частоты (PLL – Phase Locked Loop). Приемопередатчики H-Tile, подключенные через технологию Intel EMIB, обеспечивают пропускную способность 28 Гбит / с. (Stratix 10 FPGAs).

Низковольтная дифференциальная передача сигналов (англ. low-voltage differential signaling или LVDS) – способ передачи элек-

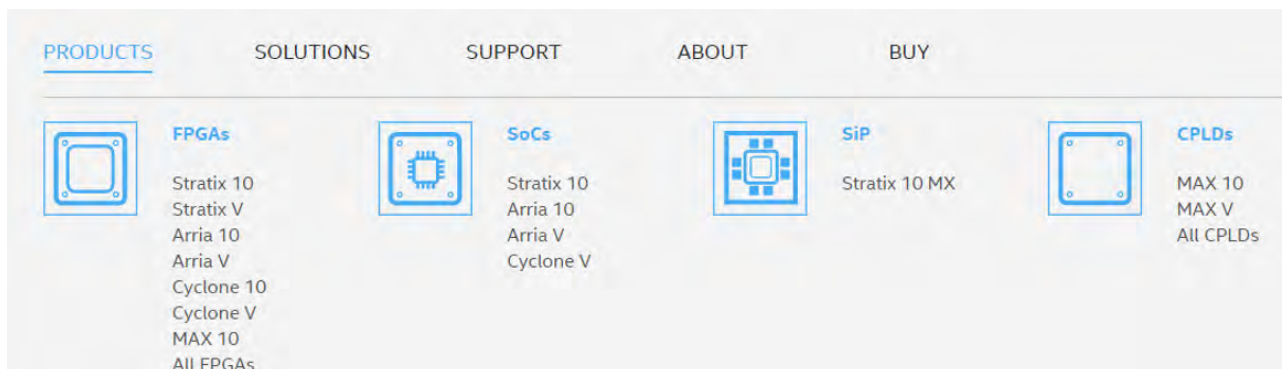


Рис. 8. Раздел «Продукты» на сайте Интел FPGA

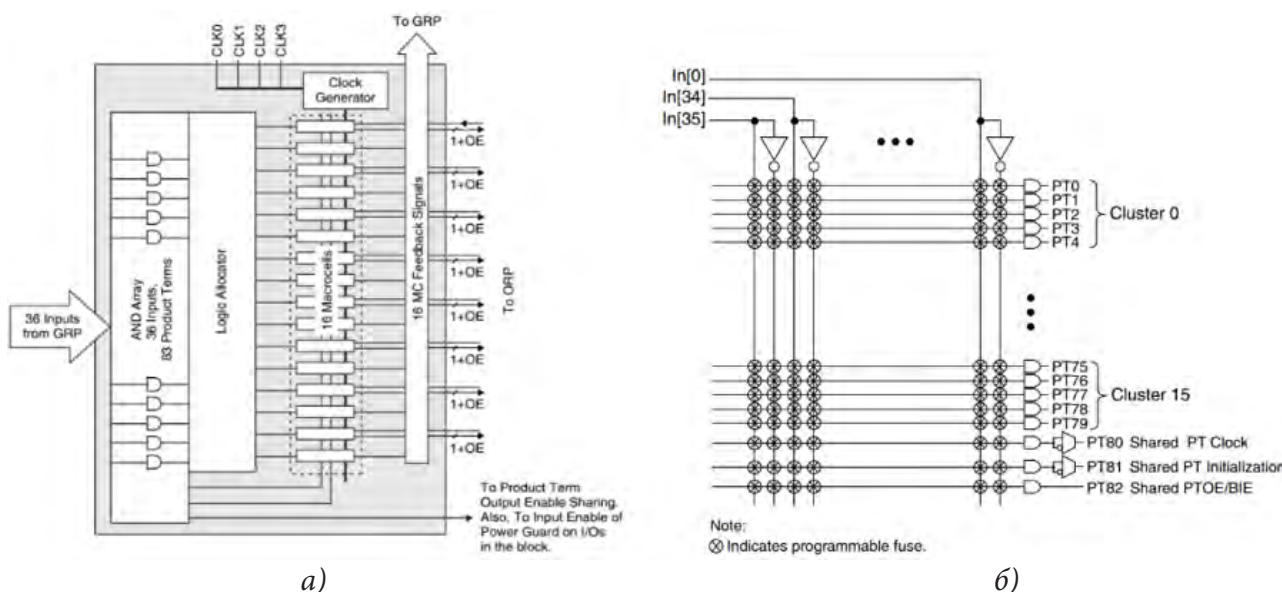


Рис. 9. Логика микросхемы ISPMACH4000ZE фирмы Lattice: а) структура логического блока конъюнкций; б) макроячейка блока дизъюнкций

трических сигналов, позволяющий передавать информацию на высоких частотах при помощи дешёвых соединений на основе медной витой пары. GPIO count Интерфейс ввода/вывода общего назначения (англ. general-purpose input/output, GPIO). Maximum processor frequency 1.5 GHz1

FPGA ИЛИ CPLD?

В разделе «Продукты» на сайте Интел FPGA [9] перечислены следующие микросхемы – рис. 8.

Если с системами на кристалле SoC, системами в «пакете» SiP более-менее ясно-процессоры, микроконтроллеры, процессоры сигналов и пр. реализуются штатными средствами ПЛИС FPGA с настройкой константами, либо загружаемой как в обычной FPGA, то с CPLD

непонятно. Если MAX10 записана в первом разделе как FPGA, как она может быть настроена на CPLD? Это же разные технологии... Основное отличие FPGA и CPLD – способ реализации логических функций. В FPGA – это генераторы функций (LUTs), в CPLD – «море вентиляей» (sea-of-gates), например, реализующих дизъюнкцию конъюнкций (ДНФ). Однако, документация подтверждает наличие LUT в микросхемах MAX CPLD, но имеется ПЗУ (User flash memory), то есть всё отличие в записи конфигурации. В то же время, микросхемы ISPMACH4000ZE фирмы Lattice – «правильная» CPLD [18] – рис. 9.

На рис. 9 Logic Allocator – логический распределитель, реализующий коммутации. Аналогично построена микросхема XC9500XL [19] фирмы Xilinx – рис. 10.

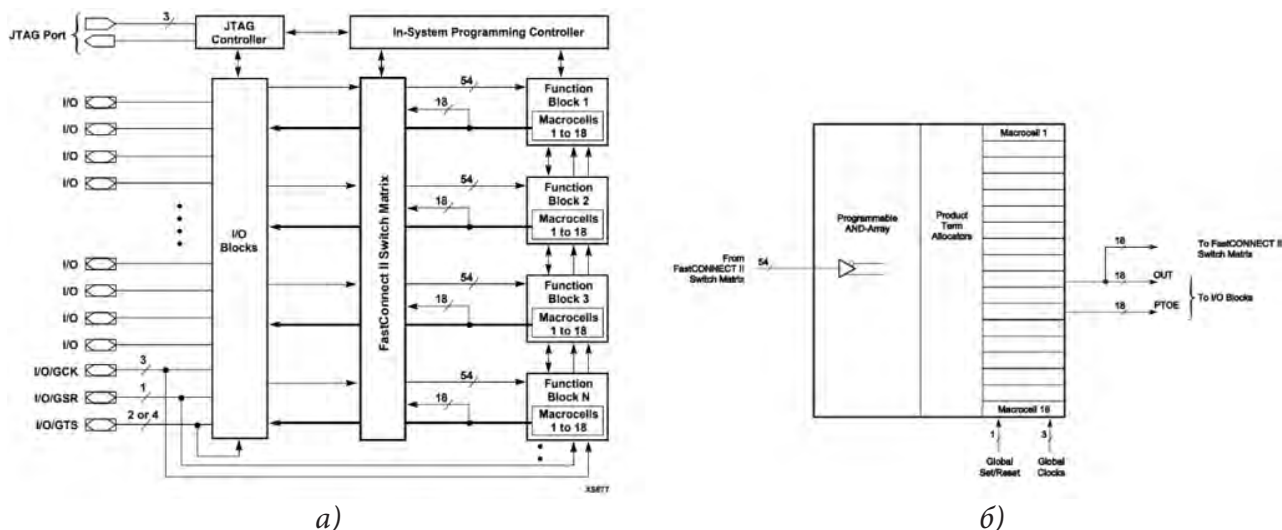


Рис. 10. Микросхема XC9500XL: а) архитектура; б) реализация логики

ВЫВОДЫ

Таким образом, развитие технологий программируемой логики идёт по пути увеличения количества логических элементов (сейчас их может быть несколько миллионов в одной ПЛИС) и их разрядности. «Гипер-гибкая» архитектура включает размещение триггеров в матрицах связей, а не только в логических блоках. Для обеспечения быстродействия идут по пути усложнения проекта с использованием разложения Шеннона, что позволяет уменьшить длину обратной связи в последовательном автомате. Фирма Интел выпускает микросхемы ПЛИС с логикой LUT и флэш-памятью, но классифицирует их не как FPGA, а как CPLD. Используются не только 3D транзисторы, но и 3D микросхемы. 3D транзисторы позволяют выйти на новый уровень производительности и энергоэффективности. Дальнейшее развитие технологии ПЛИС возможно в направлении создания отказоустойчивых архитектур [20,21]. При этом 3D транзисторы могут реализовать резервирование не только на схемном уровне, но и на уровне топологии одного транзистора, предложенное в [22, 23].

СПИСОК ЛИТЕРАТУРЫ

1. Угрюмов Е. П. Цифровая схемотехника: учеб. пособие. – 2-е изд., перераб. и доп. – СПб. : БХВ-Петербург, 2007. – 782 с.

2. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. – URL: http://www.kit-e.ru/articles/plis/2010_11_56.php (дата обращения: 11.06.2017).

3. Виды программируемой логики. – URL: <http://www.pvsm.ru/programmirovanie/87810> (дата обращения: 10.06.2017).

4. Programmable Logic Devices. – URL: http://ee.sharif.edu/~logic_circuits_t/readings/PLD.pdf (дата обращения: 04.06.2017).

5. Программируемая логика и её применение в микропроцессорных системах. – URL: <http://leksi.org/7-10275.html> (дата обращения: 08.06.2017).

6. CPLD (Complex Programmable Logic Device). – URL: <http://www.myshared.ru/slide/981511/> (дата обращения: 09.06.2017).

7. Stephen Brown, Jonathan Rose. Architecture of FPGAs and CPLDs: A Tutorial. – URL: <http://www.eecg.toronto.edu/~jayar/pubs/brown/survey.pdf> (дата обращения: 10.06.2017).

8. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices. – URL: https://www.altera.com.cn/content/dam/alterawww/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf (дата обращения: 20.10.2017).

9. INTEL FPGA. – URL: <https://www.altera.com/> (дата обращения: 23.11.2017).

10. Ryan Kenny, Jeff Watt. The Breakthrough Advantage for FPGAs with Tri-Gate Technology. – URL: https://www.altera.com/en_US/pdfs/literature/wp/wp-01201-fpga-tri-gate-technology.pdf (дата обращения: 12.10.2017).

11. Трёхмерные транзисторы 22нм. – URL: <https://habrahabr.ru/company/intel/blog/118816/> (дата обращения: 15.11.2017).
12. Интегрированные транзисторы CMOS tri-gate. – URL: <http://compress.ru/article.aspx?id=16789> (дата обращения: 24.11.2017).
13. Intel покупает Altera за 16,7 млрд долларов. – URL: <http://www.ixbt.com/news/2015/06/04/intel-altera-16-7.html> (дата обращения: 11.11.2017).
14. SiP Products. – URL: <https://www.altera.com/products/sip/overview.html> (дата обращения: 24.11.2017).
15. High Bandwidth Memory. – URL: <https://www.amd.com/en/technologies/hbm> (дата обращения: 24.11.2017).
16. Embedded Multi-Die Interconnect Bridge (EMIB). – URL: <https://www.intel.com/content/www/us/en/foundry/emib-an-interview-with-babak-sabi.html> (дата обращения: 24.11.2017).
17. Understanding How the New Intel® HyperFlex™ FPGA Architecture Enables Next Generation High-Performance Systems. – URL: <https://www.altera.com/products/fpga/stratix-series/stratix10/features.html#hyperflexarchitecture> (дата обращения: 27.08.2017).
18. ISPMACH4000ZE Datasheet 1.8V In-System Programmable Ultra Low Power PLDs. – URL: http://datasheet4u.com/datasheet/I/S/P/ISPMACH4000ZE_LatticeSemiconductor.pdf.html (дата обращения: 12.10.2017).
19. Designing With XC9500XL CPLDsXAPP112 January 22, 1999 (Version 1.1). – URL: https://www.xilinx.com/support/documentation/application_notes/xapp112.pdf (дата обращения: 25.11.2017).
20. Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs. – URL: https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf (дата обращения: 07.12.2016).
21. Xilinx Reduces Risk and Increases Efficiency for IEC61508 and ISO26262 Certified Safety Applications. WP461 (v1.0) April 9, 2015. – URL: http://www.xilinx.com/support/documentation/white_papers/wp461-functional-safety.pdf (дата обращения: 20.12.2016).
22. Тюрин С. Ф. Статическая оперативная память на основе отказоустойчивой ячейки базового матричного кристалла // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2016. – № 1(17). – С. 16–27.
23. Тюрин С. Ф. Радиационно-устойчивая ячейка SRAM // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. 2014. – № 4(12). – С. 14–30.

Тюрин Сергей Феофентович – Заслуженный изобретатель Российской Федерации, д-р техн. наук, профессор, профессор кафедры Автоматики и телемеханики, электротехнический факультет, Пермский национальный исследовательский политехнический университет; профессор кафедры Математического обеспечения вычислительных систем Пермского государственного национального исследовательского университета, механико-математический факультет, Пермь.
E-mail: tyurinsergfeo@yandex.ru

Tyurin Sergey Feofentovich – Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor, Professor at the Department of Automation and Telemechanics, Electrical Engineering Faculty; Perm National Research Polytechnic University; Perm State National Research University; Department of Mathematical Support of Computer Systems, Faculty of Mechanics and Mathematics, Perm.
E-mail: tyurinsergfeo@yandex.ru